

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-064220

(43)Date of publication of application : 10.03.1989

(51)Int.Cl.

H01L 21/30

G03C 1/00

G03C 5/00

G03F 7/00

H01L 21/28

H01L 21/306

H01L 29/80

(21)Application number : 62-221697

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 03.09.1987

(72)Inventor : YAMADA SETSU

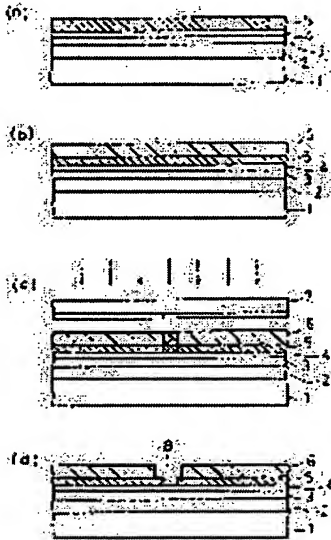
(54) FORMING METHOD FOR RESIST PATTERN

(57)Abstract:

PURPOSE: To form a T-shaped gate electrode easily by pre-baking a first positive type resist at a fixed temperature, pre-baking a second positive type resist at a temperature lower than said fixed temperature and exposing and developing the first and second positive type resists.

CONSTITUTION: A first positive type resist PMMA 5 is applied onto an N⁺⁺ type high conductive layer 4. The first positive type resist is pre-baked at a fixed temperature of 170°C in an N₂ atmosphere. A second positive type resist PMMA 6 is applied onto the first positive type resist 5. The second positive type resist is pre-baked at 120°C in the N₂ atmosphere. Exposure is conducted by using far ultraviolet rays while employing a patterned photo-mask 7 as a mask from the second positive type resist 6 side. When developing is performed, an opening in the second positive type resist 6 is made larger than that in the first positive type resist 5 because the developing rate of the positive type resist depends upon the temperature of pre-baking.

Accordingly, the cross section of the opening 8 in the resist takes



a T shape.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭64-64220

⑬ Int. Cl.⁴

H 01 L 21/30
G 03 C 1/00
5/00
G 03 F 7/00
H 01 L 21/28
21/30
21/306
29/80

識別記号

3 6 1
3 0 3
3 1 1
3 6 1

庁内整理番号

S-7376-5F
7267-2H
7267-2H
C-6906-2H
F-7638-5F
D-7638-5F
G-7376-5F
B-7376-5F
F-7342-5F
F-8122-5F

⑭ 公開 昭和64年(1989)3月10日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 レジストパターン形成方法

⑯ 特 願 昭62-221697

⑰ 出 願 昭62(1987)9月3日

⑱ 発 明 者 山 田 節 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称 レジストパターン形成方法

2. 特許請求の範囲

1. 基板上に第1のポジ型レジストを塗布する工程と、この第1のポジ型レジストを所定の温度でプリベークする工程と、前記第1のポジ型レジスト上に該第1のポジ型レジストと同一の第2のポジ型レジストを塗布する工程と、この第2のポジ型レジストを前記所定の温度より低い温度でプリベークする工程と、前記第1のポジ型レジスト及び第2のポジ型レジストを露光し、現像する工程と、を含むことを特徴とするレジストパターン形成方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はレジストパターン形成方法に関し、特に化合物半導体を用いた高周波素子におけるT字型(マッシュルーム型)ゲート電極の形成に適したレジストパターン形成方法に関する。

(ロ) 従来の技術

現在、12GHz帯を中心として開発が進められているマイクロ波素子として、GaAs MES FET (GaAs Metal-Semiconductor Field Effect Transistor)がある(例えば、特開昭52-45280号公報参照。)

このGaAs MES FETの最小雑音指数 N_F は一般に以下の式で表わされる。

$$N_F = 1 + k \cdot f \cdot C_{gs} \sqrt{(R_s + R_g) / g_m}$$

ここで、

k : フィーディング係数

f : 使用周波数

C_{gs} : ゲート・ソース間容量R_s : ソース抵抗R_g : ゲート抵抗g_m : 伝達コンダクタンス

上式より、 N_F を減少させるためには、ゲート長を短くし、さらにC_{gs}を減少させることが有効であることがわかるが、ゲート長を短くし、C_{gs}を減少させるに伴ってゲート抵抗(R_g)が増加してしまう。

これを解決する方法として、ゲート電極の断面

第2のポジ型レジスト(6)を現像できるので、プロセスが簡便である。

焼成+過酸化水素+水から成るエッチャントで選択エッチングを行ないリセス部(9)を形成する(第1図(e))。このとき、n型動作層(3)の膜厚は800~900Åになるようにする。

全面にTiを1000Å、Alを5000Å順次真空蒸着し、ゲート電極層(10)を形成する(第1図(f))。続いて、有機溶剤(アセトン)中に浸けることにより、第1のポジ型レジスト(5)、第2のポジ型レジスト(6)が溶け、第2のポジ型レジスト(6)上のゲート電極層(10)が除去され、最終的に所望のゲート電極(11)が得られる(第1図(g))。このゲート電極(11)の寸法は、T字型の下部で0.4μm、上部で0.7μmとなっている。

最後に、前述と同様のリフトオフ法によりAu+Ge/Ni/Auから成るソース電極(12)、ドレイン電極(13)を形成し、熱処理を施すことでGaAs MES FETが完成する(第1図(h))。

尚、本実施例では、ソース及びドレインの抵抗

を低減させるために、動作層上に高導伝層を成長させて、高導伝層でオーミック接触をとっている。ゲート電極形成時にリセス部を形成して動作層を露出させる必要があるが、必ずしも高導伝層を成長させる必要はなく、高導伝層を動作層上に成長させない時は、リセス部を形成する必要は特にない。

また、本実施例では、本発明方法により得られるレジストパターンをGaAs MES FETのゲート電極の作製に用いたが、ゲート電極だけでなく、例えば半導体装置の配線等にも用いることができる。

(ト) 発明の効果

本発明方法は以上の説明から明らかな如く、通常の光リソグラフィ技術を用いて、容易にT字型のレジストパターンを得ることができる。

このレジストパターンをGaAs MES FETのゲート電極の作製に用いると、該FETの性能改善を企図し得る。

4. 図面の簡単な説明

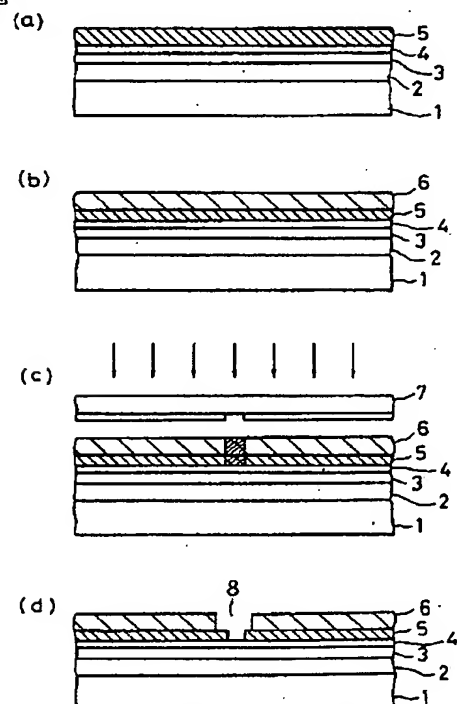
第1図(a)乃至(h)は本発明方法をGaAs MES FETに適用した場合の工程説明図、第2図はレジストのプリベーク温度と現像速度の関係を示す図である。

(1)…基板、(5)…第1のポジ型レジスト、(6)…第2のポジ型レジスト、(11)…ゲート電極。

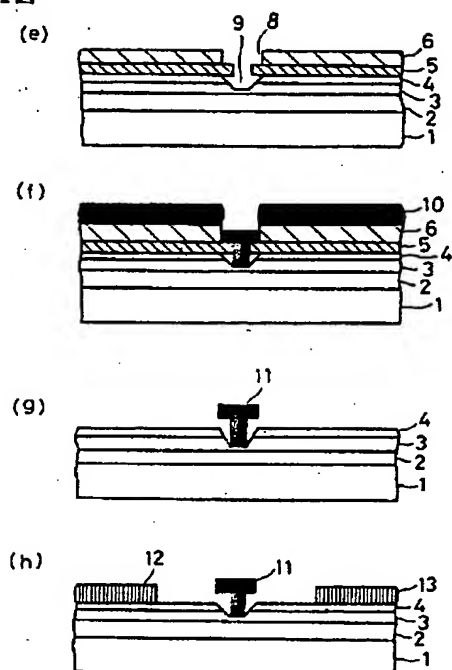
出願人 三洋電機株式会社

代理人 弁理士 西野卓朗(外1名)

第1図



第1図



第2図

